

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-282804

(43)Date of publication of application : 13.12.1991

(51)Int.Cl.

G06F 1/04

(21)Application number : 02-084035

(71)Applicant : NEC CORP

(22)Date of filing : 30.03.1990

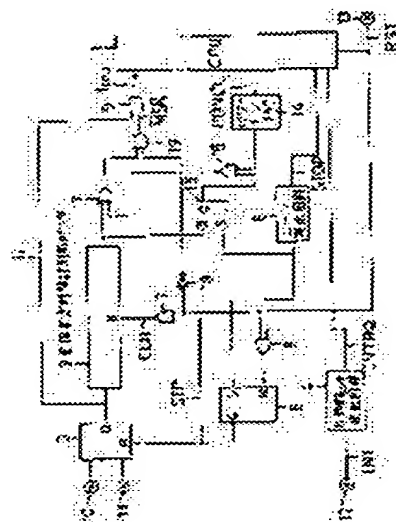
(72)Inventor : NAGAISHI HATSUHIRO

## (54) MICROCOMPUTER

## (57)Abstract:

**PURPOSE:** To obtain a wide application range of a microcomputer by discriminating whether reset is inputted with an oscillator stopped or oscillated and switching the state to the CPU operation state immediately after release of reset in the case of reset input with the oscillator not stopped.

**CONSTITUTION:** A power-on flag 14 is cleared by a CPU 1 in the instruction execution state, namely, in the oscillating state of an oscillator 3. When a reset signal RST is made active in this state, the CPU 1 is initialized, and a CPU operation clock is not outputted to the CPU because a mask control signal MSK is active. The reset signal RST is made inactive, the CPU operation clock is outputted to the CPU 1 because the mask control signal MSK is made inactive, and the state is switched to the CPU operation state after release of reset. Thus, a wide application range of the microcomputer is obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

C

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-282804

⑬ Int. Cl.<sup>5</sup>  
G 06 F 1/04

識別記号 庁内整理番号  
3 0 1 A 7459-5B

⑭ 公開 平成3年(1991)12月13日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 平2-84035

⑰ 出 願 平2(1990)3月30日

⑱ 発 明 者 永 石 初 弘 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

1. マイクロコンピュータにおいて、

CPU動作クロック用の基準クロックを発生する発振器と、

該発振器の基準クロックをカウントし、該発振器の発振安定時間を確保する発振安定時間計測用カウンタと、

CPUから出力されるストップ制御信号により前記発振器を停止させ、外部割込み要求信号またはCPUのリセット信号により発振器を発振させる発振器制御回路と、

リセット信号または前記ストップ制御信号により前記カウンタをクリアするカウンタ制御回路と、

該マイクロコンピュータの電源電圧の投入を記憶するパワーオンフラグと、

リセット信号がインアクティブでパワーオンフ

ラグに電源電圧の投入が記憶されていないか、リセット信号、ストップ制御信号ともにインアクティブか、リセット信号がインアクティブで発振安定時間計測用カウンタからオーバーフロー信号が出力されたときのいずれかの場合にマスク制御信号をインアクティブにし、これら以外の場合にはマスク制御信号をアクティブにするマスク制御信号発生回路と、

マスク制御信号がインアクティブの場合のみ、前記基準クロックをCPUに出力するゲート回路とを有することを特徴とするマイクロコンピュータ。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、マイクロコンピュータのリセット制御回路に関し、特にリセット解除後の発振安定時間の制御回路に関する。

[従来の技術]

シングルチップマイクロコンピュータは通常発振器を内蔵しており、外部に水晶発振子やセラ

ミック発振子等を発振器に接続してクロックを生成する。また、最近のマイクロコンピュータでは消費電力を低減できるストップモードなどのスタンバイ機能を内蔵していることが多い。ストップモードは、発振器を停止させることでマイクロコンピュータ全体の動作を停止するモードであり相補型金属酸化膜半導体で実現されたマイクロコンピュータでは発振器停止によりマイクロコンピュータ内の全ての動作クロックが停止するためリーク電流だけの超低消費電力状態を実現することが可能である。このスタンバイ状態は一般的にはリセット入力あるいは外部割込み入力で解除される。そして、発振器の特性として、発振器が停止している状態から発振器の出力が安定するまでには、接続された発振子の種類によって固有の発振安定時間（例えば数 $\mu$ sec $\sim$ 数十 $\mu$ sec）を確保する必要がある。

第2図はこの種のマイクロコンピュータの従来例のブロック図である。

発振子接続端子10、11に水晶発振子等（図

示せず）が接続され、発振器3の出力 $f_x$ は発振安定時間計測用カウンタ2（以下カウンタ2と略す）およびANDゲート9に入力されている。 $\overline{MSK}$ は発振器3の出力 $f_x$ のマスク制御信号で、ANDゲート9の一方に入力される。ANDゲート9の出力 $f_{cpu}$ はスタンバイ制御機能を内蔵した中央処理装置（以下、略して「CPU」と書く）1へ入力されるCPU動作クロックの基準クロックである。リセット入力端子13を介してリセット信号RSTがCPU1に入力される。同様に、リセット信号RSTはORゲート7および8に入力される。外部割込み入力端子12からは、外部割込要求信号INTが外部割込み検出回路4に入力され、その出力である割込み要求信号INTRQはORゲート8およびCPU1に入力される。STOPは、CPU1から出力されるストップ制御信号で、エッジ検出回路6に入力される。STPは、RSフリップフロップ5のQ出力で、発振器3に入力され発振器3を停止させる信号で、ORゲート7にも入力されている。RSフ

リップフロップ5は、エッジ検出回路6の出力によってセットされ、ORゲート8の出力によってリセットされる。ORゲート7の出力CLRはカウンタ2に入力され、カウンタ2のクリア動作を行なう。

次に、第2図の従来例の動作を説明する。

リセット入力によってリセット信号RSTがアクティブレベルの“H”（ハイレベル）に設定されると、CPU1が初期化されストップ制御信号STOPもクリアされる。リセット信号RSTがアクティブな状態では、ORゲート7の出力CLRは強制的にアクティブ状態にあるためカウンタ2がリセットされ、発振器3の出力 $f_x$ のマスク制御信号 $\overline{MSK}$ は“L”（ロウレベル）でありCPU動作クロック $f_{cpu}$ も停止状態になる。一方、RSフリップフロップ5の出力STPはリセット信号RSTがアクティブ状態で“L”になるので発振器3は発振状態になる。以上のリセットアクティブ状態からリセット解除、つまりリセット信号RSTが“H”から“L”へ立ち下が

るとORゲート7の出力であるCLRが“L”になり、カウンタ2はクリア状態から解放され、発振器3の出力 $f_x$ を入力クロックとしてカウント動作を開始する。カウンタ2が所定クロック数を計数終了、すなわち発振安定時間の計測が終了してカウンタ2がオーバーフローを起こすとマスク制御信号 $\overline{MSK}$ が“H”に変化しCPU1の動作クロック $f_{cpu}$ が発生され、CPU1が動作を開始する。この様にリセット信号RSTが入力された場合には電源投入時の発振安定時間の確保を考慮し発振安定時間の計測が行なわれる。

次に、CPU1が動作状態で、マイクロコンピュータが消費するパワーを抑えるためにストップモードに設定する命令を実行すると、ストップ制御信号STOPが“H”レベルでCPU1から出力される。このストップ制御信号STOPの立ちあがりをエッジ検出回路6によって検出し、この出力でフリップフロップ5がセットされ、その出力STPがアクティブになる。すると、発振器3が停止し、同時にカウンタ2がリセットされマ

スク制御信号  $\overline{MSK}$  が "L" になって CPU 動作クロック  $f_{cpu}$  が停止し、ストップモードに入る。このストップモードを解除する場合は外部割込み検出回路 4 において外部割込み信号  $INT$  の立ちあがりあるいは立ち下がりを検出して割込み要求信号  $INTREQ$  を発生させる。このとき RS フリップフロップ 5 はクリアされてその出力信号  $STP$  が "L" に変化し発振器 3 が発振を開始する。そして同時にカウンタ 2 はリセット状態から解除されカウンタ 2 のカウント動作がスタートする。所定の発振安定時間の計測が終了すると、カウンタ 2 がオーバーフローを起こしマスク制御信号  $\overline{MSK}$  が "H" へ変化する。そして CPU 動作クロック  $f_{cpu}$  が再び発生される。

#### 〔発明が解決しようとする課題〕

上述した従来のマイクロコンピュータのリセット制御回路は、リセット解除後実際に CPU が動作を開始するまでに必ず発振安定時間を測定していたので、リセット解除後、即座に（例えば 100

$\mu sec$  以内）にマイクロコンピュータが動作する必要がある応用には適用できないという欠点がある。

本発明の目的は、発振器が停止していないときのリセット入力ではリセット解除後、すみやかに CPU 動作状態に移行できるマイクロコンピュータを提供することである。

#### 〔課題を解決するための手段〕

本発明のマイクロコンピュータは、

CPU 動作クロック用の基準クロックを発生する発振器と、

該発振器の基準クロックをカウントし、該発振器の発振安定時間を確保する発振安定時間用カウンタと、

CPU から出力されるストップ制御信号により前記発振器を停止させ、外部割込み要求信号または CPU のリセット信号により発振器を発振させる発振器制御回路と、

リセット信号または前記ストップ制御信号により前記カウンタをクリアするカウンタ制御回路

と、

該マイクロコンピュータの電源電圧の投入を記憶するパワーオンフラグと、

リセット信号がインアクティブでパワーオンフラグに電源電圧の投入が記憶されていないか、リセット信号、ストップ制御信号ともにインアクティブか、リセット信号がインアクティブで発振安定時間計測用カウンタからオーバーフロー信号が出力されたときのいずれかの場合にマスク制御信号をインアクティブにし、これら以外の場合にはマスク制御信号をアクティブにするマスク制御信号発生回路と、

マスク制御信号がインアクティブの場合のみ、前記基準クロックを CPU に出力するゲート回路とを有する。

#### 〔作用〕

パワーオンフラグは命令実行状態、すなわち発振器の発振状態において初めに CPU によりクリアされる。この状態でリセット信号がアクティブになると、CPU は初期化されると同時に、マス

ク制御信号がアクティブのため、CPU 動作クロックは CPU に出力されない。そしてリセット信号がインアクティブに変化すると、マスク制御信号がインアクティブになるため、CPU 動作クロックが CPU に出力され、リセット解除後の CPU 動作状態にすみやかに移行できる。

#### 〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第 1 図は本発明の一実施例のマイクロコンピュータの構成図である。第 2 図中と同符号が付されているものは同じ機能を有する。

パワーオンフラグ 14 は電源電圧の立ちあがりを検出して CPU により "H" にセットされ、また CPU 1 から命令 (PONCL 信号) によってクリアすることもできる。インバータ 18 はリセット信号  $RST$  を反転する。RS フリップフロップ 15 はエッジ検出回路 6 の出力によってセットされ、カウンタ 2 のオーバーフロー信号によりリセットされる。NOR ゲート 16 はパワー

オンフラグ14の出力とRSフリップフロップ15のQ出力を入力とする。ORゲート17はカウンタ2のオーバーフロー信号とNORゲート16の出力を入力とする。ANDゲート19はNORゲート17の出力とインバータ18の出力を入力として、マスク制御信号 $\overline{MSK}$ をANDゲート9に出力する。

次に、本実施例の動作について説明する。

まず、第1の場合としてパワーオンリセットのときを考える。電源電圧を投入すると、パワーオンフラグ14がセットされる。パワーオンフラグ14が“H”のときには、NORゲート16の出力は“L”に設定される。また、電源電圧の投入と同時にまたは電源電圧の投入後のリセット入力によってリセット信号RSTがアクティブレベルの“H”に設定されるとCPU1が初期化される。さらに、ORゲート7の出力CLRはリセット信号RSTによって強制的に“H”であるため、カウンタ2はリセットされ発振器3の出力 $f_{osc}$ のマスク制御信号 $\overline{MSK}$ は“L”に固定されているので

CPU動作クロック $f_{cpu}$ も停止状態にある。他方、フリップフロップ5の出力STPは“L”になり発振器3は発振状態になる。以上のパワーオンリセット状態からリセット解除、つまりリセット信号RSTが立ち下ると、ORゲート7の出力CLRが“L”になりカウンタ2が発振器3の出力 $f_{osc}$ を入力クロックとしてカウント動作を始める。発振安定時間の計測が終了しオーバーフローが発生しカウンタ2の出力が“H”に変化すると、ORゲート17の出力が“H”に変わり発振器3の出力 $f_{osc}$ のマスク制御が解除され、CPU動作クロック $f_{cpu}$ が発生され、CPU1が動作を開始する。それと同時にRSフリップフロップ15はクリアされる。

次に、第2の場合として命令実行状態、すなわち発振器3が発振状態でのリセット入力を考えてみる。CPU1は命令実行状態において、まず最初にパワーオンフラグ14をクリアする命令を実行する。このときには、パワーオンフラグ14のクリア信号PONCLがアクティブとなりパワー

オンフラグ14の出力が“L”に設定される。したがって、この場合にはNORゲート16の出力は“H”であるためORゲート17の出力は常に“H”に設定される。そして、この状態でリセット信号RSTが再びアクティブとなると、CPU1は初期化されると同時に、インバータ18の出力が“L”（リセット信号RSTが“H”である）であるため、発振器3の出力 $f_{osc}$ のマスク制御信号 $\overline{MSK}$ が“L”になりCPU動作クロック $f_{cpu}$ は停止している。リセット信号RSTが“H”から“L”へ変化すると、インバータ18の出力が“L”から“H”へ変化し、マスク制御信号 $\overline{MSK}$ が“H”に変化して再びCPU動作クロック $f_{cpu}$ が発生される。

第3の場合として、ストップ状態をリセット信号RSTによって解除する場合を考える。

CPU1が命令実行状態において、ストップモードに設定するための命令を実行したとする。このときCPU1からストップ制御信号STOPが“L”から“H”へ変化し、この信号STOP

の立ちあがりをエッジ検出回路6にて検出し、RSフリップフロップ5および15をセットする。すると発振器停止信号STPが“H”になり発振器3が停止し、カウンタ2がリセットされる。それと同時にNORゲート16の出力が“L”に設定され、結局ORゲート17の出力が“L”になりマスク制御信号 $\overline{MSK}$ も“L”となってCPU動作クロック $f_{cpu}$ が停止する。この状態でリセット信号RSTを“H”にすると、フリップフロップ5がリセットされ発振器停止信号STPが“L”になり、発振を開始する。そしてリセット信号RSTを“H”から“L”へ変化させてリセットを解除すると、ORゲート7の出力が“H”から“L”へ変化してカウンタ2が動作する。発振安定時間の計測を終了し、カウンタ2の出力が“H”になるとORゲート17の出力が“H”になりマスク制御信号 $\overline{MSK}$ も結局“H”になる。すると、CPU動作クロック $f_{cpu}$ が動作を開始する。それと同時にRSフリップフロップ15がクリアされNORゲート16の出力は

“H”に設定され、ORゲート17の出力も“H”に固定される。

〔発明の効果〕

以上説明したように本発明は、発振器が停止状態でのリセット入力であるか、発振器が発振状態でのリセット入力であることを識別し、発振器が停止していないときのリセット入力ではリセット解除後、すみやかにCPU動作状態に移行することにより、マイクロコンピュータの応用範囲が広がるという効果がある。

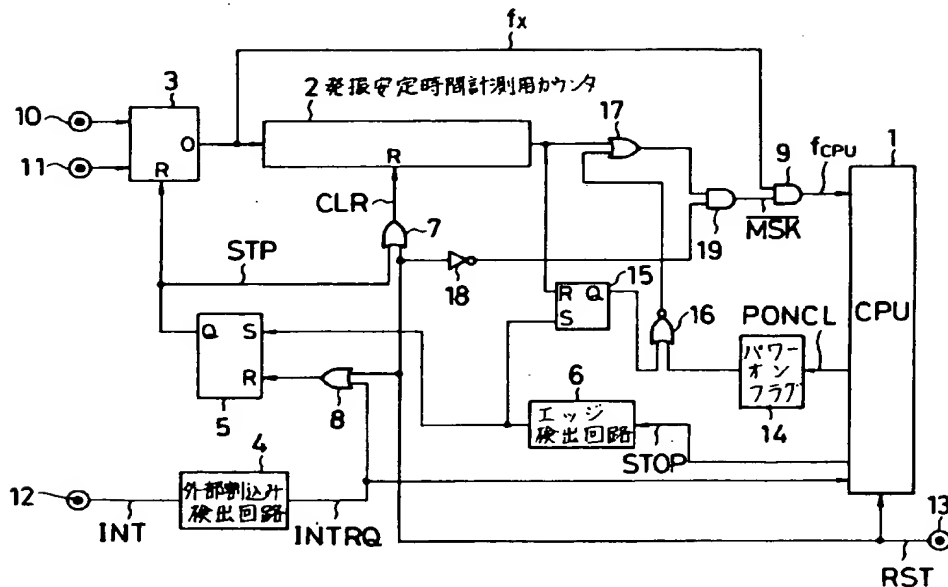
4. 図面の簡単な説明

第1図は本発明の一実施例のマイクロコンピュータのブロック図、第2図は従来例のブロック図である。

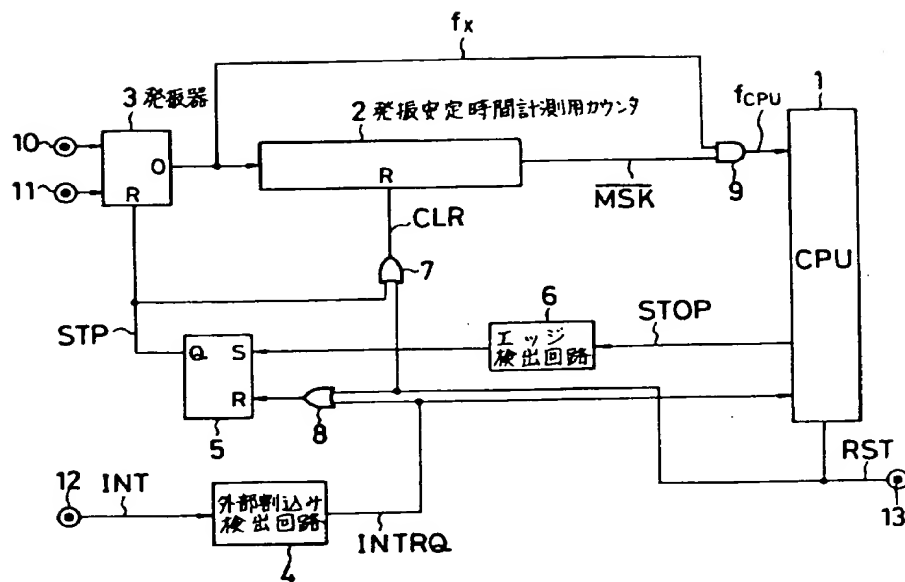
1…CPU、2…発振安定時間計測用カウンタ、3…発振器、4…外部割込み検出回路、5…RSフリップフロップ、6…エッジ検出回路、7、8…ORゲート、9…ANDゲート、10、11…発振器接続端子、12…外部割込み入力端子、13…リセット入力端子、14…パワーオン

フラグ、15…RSフリップフロップ、16…NORゲート、17…ORゲート、18…インバータ、19…ANDゲート、STOP…ストップ制御信号、STP…RSフリップフロップ5の出力、INT…割込み信号、INTRQ…割込み信号、RST…リセット信号、CLR…ORゲート7の出力、MSK…マスク制御信号、 $f_x$ …発振器3の出力、 $f_{CPU}$ …ANDゲート9の出力。

特許出願人 日本電気株式会社  
代理人 弁理士 内原 晋



第 1 図



第 2 図